

Centro Nazionale HPC, Big Data e Quantum Computing

Missione 4, Componente 2, Investimento 1.4

Codice progetto MUR: CN_0000013 - CUP: E63C22000980007



UNIVERSITÀ DEGLI STUDI DI NAPOLI FEDERICO II - DIPARTIMENTO DI
FISICA "ETTORE PANCINI"

Elettronica di misura e controllo di quantum bits superconduttivi per il Laboratorio di Quantum Computing

Specifiche generali:

Sistema compatto di strumenti elettronici a temperatura ambiente per l'implementazione di algoritmi quantistici su unità di processori quantistici (QPU) superconduttivi composti da almeno venti (20) quantum bits.

Tale sistema dovrà includere strumenti e moduli in grado di generare e misurare impulsi nell'intervallo delle microonde per l'implementazione di algoritmi quantistici e protocolli diagnostici su almeno venti qubit superconduttivi, con le seguenti caratteristiche generali:

- **lettura** Quantistica Non Demolitiva (QND) dello stato dei qubit, cioè in grado di generare e misurare segnali alle microonde a bassa potenza in un intervallo da 2 GHz a >12 GHz;
- **controllo** di qubit superconduttivi da 2 GHz a >10 GHz, in grado di generare segnali a bassa potenza al fine di evitare transizioni verso livelli energetici superiori non computazionali nei qubit superconduttivi;
- **sintonizzazione in frequenza**, ovvero generatori di forme d'onda arbitrarie di corrente/tensione a basso rumore, utilizzati per regolare i parametri elettrodinamici della QPU tramite flusso esterno. Basso livello di rumore è un requisito fondamentale per la riduzione dello sfasamento e della decoerenza nella QPU. Si richiede l'utilizzo di sorgenti di offset di corrente e/o tensione in DC a basso rumore e ultra-stabili per generare l'offset per gli impulsi di flusso. È necessario che tali segnali siano accoppiati tramite bias-tee con canali veloci AWG (*Arbitrary Waveform Generator*, o generatori di forme d'onda arbitraria) nel regime di banda base > 250 MHz.

Si richiedono inoltre generatori di pompe RF per amplificatori parametrici a onda viaggiante (*Travelling Wave Parametric Amplifier*, o TWPA) criogenici basati su giunzioni Josephson, al fine di amplificare la risposta a bassa potenza della QPU a bassa temperatura (segnali a onda continua con frequenza da 2 GHz a >12 GHz e segnale di uscita con potenza massima 5 dBm per evitare la saturazione degli amplificatori).

Specifiche dettagliate:

Specifiche sui componenti principali: strumenti di lettura, controllo, sintonizzazione e specifiche per l'acquisizione/elaborazione dei dati.

Specifiche dei moduli di lettura (minimo 7 ingressi/uscite di segnali ad impulsi RF).

- Intervallo di frequenza operativa da 2 GHz a > 12 GHz, in maniera tale da essere compatibile con l'elettronica di amplificazione criogenica e le linee del segnale di lettura di ingresso e uscita criogeniche in un criostato a diluizione. La risoluzione in frequenza dovrà essere ≤ 1 Hz.
- Oscillatori locali e mixer IQ dovranno essere integrati nel sistema per la generazione di impulsi RF diretti, senza la necessità di ulteriore hardware.
- Velocità DAC-ADC 1GS/s, per schemi pulsati di lettura rapida ad alte prestazioni in qubit superconduttivi.
- Strumenti interni di autocalibrazione per la soppressione delle perdite degli oscillatori locali e le correzioni del mixer IQ.
- Larghezza minima dell'impulso di lettura di 4 ns con tempo di salita/discesa massimo di 1.4 ns (10% - 90%).
- Possibilità di modificare in tempo reale le forme di impulso arbitrarie e i relativi parametri con una velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.
- I canali di ingresso devono consentire l'elaborazione *on-board* della misura con funzioni di media e integrazione tipiche, e devono consentire processi a soglia (*thresholding*).
- Deve essere possibile assegnare forme di impulso arbitrarie e funzioni di integrazione al fine di ridurre al minimo il crosstalk e migliorare la fedeltà di lettura della QPU.
- Per i segnali di uscita, è richiesto un SFDR (*Spurious Free Dynamic Range*) > 50 dB nell'intervallo da 2 GHz a > 12 GHz.
- Per i segnali di uscita, il rumore di fase deve soddisfare le seguenti condizioni:
 - < -100 dBc /Hz a 12 GHz e con offset di 10 kHz;
 - < -140 dBc /Hz a 12 GHz e con offset di 10 MHz;
 - < -150 dBc /Hz a 3 GHz e con offset di 10 MHz.
- Ogni singolo canale di lettura dovrà consentire la lettura multiplexata di almeno 6 toni di frequenza in una larghezza di banda > 700 MHz. Ogni canale di frequenza (risonatore) nell'ingresso multiplexato deve essere elaborato individualmente dall'FPGA per l'acquisizione dei risultati della misurazione da ciascun qubit. Ogni canale di frequenza deve essere regolato singolarmente e indipendentemente all'interno dello stesso modulo, quindi per la stessa coppia ingresso/uscita per la lettura.
- I canali di ingresso dovranno consentire segnali fino a -26 dBm per funzionare nel regime a singolo fotone, e fornire uno stadio di ingresso a guadagno variabile con > 25 dB di sintonizzazione.
- I toni della radiazione di *probe* dei risonatori di lettura dovranno essere generati dall'FPGA, consentendo il pieno controllo dell'ampiezza, dell'offset, della frequenza di modulazione e della fase.
- Connettori SMA di ingresso-uscita.
- Memoria di lettura per > 100.000 valori I/Q per qubit.

Sono inoltre richieste le seguenti specifiche:

- Soluzioni completamente integrate in cui i canali IQ sono integrati internamente con stadi di *up- e down-conversion* per i canali di uscita RF.
- Soluzioni in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione *back-to-back* di impulsi senza ritardi intermedi.

Specifiche dei moduli di controllo (minimo 20 uscite di segnali a impulsi RF per il controllo di 20 qubit in contemporanea):

- Intervallo di frequenza operativa da 2 GHz a > 10 GHz, compatibile con le frequenze tipiche dei qubit superconduttivi e diversi design circuitali. La risoluzione in frequenza dovrà essere ≤ 1 Hz.
- I canali di controllo dovranno consentire l'uscita nel regime di bassa potenza da -40 dBm a 5 dBm per evitare perdite verso livelli non computazionali di ordine superiore nei qubit superconduttivi.
- Oscillatori locali e mixer IQ dovranno essere integrati nel sistema per la generazione di impulsi RF, senza la necessità di ulteriore hardware.
- Velocità DAC-ADC 1GS/s, per schemi pulsati di lettura rapida ad alte prestazioni in qubit superconduttivi.
- Strumenti interni di autocalibrazione per la soppressione delle perdite degli oscillatori locali e le correzioni del mixer IQ.
- Larghezza minima dell'impulso di controllo di 4 ns con tempo di salita/discesa massimo di 1.4 ns (10%-90%)
- I canali di controllo dovranno consentire l'uscita multiplexata di almeno 6 toni di frequenza in una larghezza di banda di 700 MHz, mentre ogni canale di frequenza di pilotaggio può essere controllato individualmente con parametri di impulso in tempo reale come ampiezza, offset, frequenza di modulazione e fase.
- Possibilità di modificare in tempo reale le forme di impulso arbitrarie e i relativi parametri per l'implementazione e la correzione di porte a qubit singolo e multiplo, compresi *gate virtual-Z*, con velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.
- Gli impulsi devono essere selezionabili da una memoria locale, invece che attraverso caricamento da un PC *host*. La *wave-memory* locale dovrà consentire la definizione di impulsi con forme arbitrarie in una griglia temporale di 1 ns.
- Intervallo dinamico libero spurio (*Spurious Free Dynamic Range*, o SFDR) > 50 dB nell'intervallo da 2 GHz a > 10 GHz.
- Per i segnali di controllo in uscita, il rumore di fase deve soddisfare le seguenti condizioni:
 - < -100 dBc /Hz a 12 GHz e con offset di 10 kHz;
 - < -140 dBc /Hz a 12 GHz e con offset di 10 MHz;
 - < - 150 dBc /Hz a 3 GHz e con offset di 10 MHz.
- Connettori SMA di ingresso-uscita.

Si richiedono inoltre le seguenti specifiche:

- Soluzioni completamente integrate in cui i canali IQ sono integrati internamente con stadi di *up- e down-conversion* per i canali di uscita RF.
- Soluzioni in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione *back-to-back* di impulsi senza ritardi intermedi.

Specifiche moduli pompa (minimo 8 uscite segnali RF per generazione pompa):

- Intervallo di frequenza operativa da 2 GHz a > 12 GHz, in maniera tale da essere compatibile con l'elettronica di amplificazione criogenica TWPA. La risoluzione in frequenza dovrà essere ≤ 1 Hz.
- Per evitare la saturazione dei TWPA, l'uscita della pompa dovrà essere <-30 dB.
- Possibilità di regolare in tempo reale le forme di impulso arbitrarie e i relativi parametri con una velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.
- *Spurious Free Dynamic Range* (SFDR) > 50 dB nell'intervallo da 2 GHz a > 10 GHz.
- Per i segnali di controllo in uscita, il rumore di fase deve soddisfare le seguenti condizioni:
 - < -100 dBc /Hz a 12 GHz e con offset di 10 kHz;
 - < -140 dBc /Hz a 12 GHz e con offset di 10 MHz;
 - < -150 dBc /Hz a 3 GHz e con offset di 10 MHz.
- Connettori SMA di ingresso-uscita.
- Ogni canale dovrebbe avere interruttori di uscita che consentano la soppressione del segnale < 60 dB.

Si richiedono inoltre le seguenti specifiche:

- Soluzioni in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione *back-to-back* di impulsi senza ritardi intermedi.
- Gli azionamenti della pompa sono conformi alle specifiche delle linee di controllo come illustrato sopra, di modo tale che le linee della pompa possano essere utilizzate come linee di controllo quando sono soddisfatte le seguenti condizioni:
 - il dispositivo QPU non consente il controllo multiplexato sulla banda analogica richiesta nelle specifiche dei moduli di controllo;
 - il numero di qubit della QPU è superiore a venti (20).

Specifiche dei moduli per la sintonizzazione in flusso (minimo 60 sorgenti di corrente e/o tensione in continua in uscita e minimo 50 uscite in tensione pulsata):

- Intervallo di uscita per sorgenti di corrente con offset di flusso $> \pm 50$ mA e $> \pm 4$ V per sorgenti di tensione, con risoluzione DAC a 18 bit.
- Tensione di uscita per segnali di flusso impulsati > 4.5 Vpp nell'intervallo di frequenza da CC a > 250 MHz.
- Possibilità di modificare in tempo reale le forme di impulsi di flusso arbitrarie e i relativi parametri con una velocità di aggiornamento massima di 4 ns. Le ampiezze degli impulsi, l'offset, la fase di modulazione e il guadagno devono essere programmabili tramite FPGA.
- Gli impulsi di flusso devono essere selezionabili da una *wave-memory* locale per evitare il caricamento dal PC *host*. La *wave-memory* locale dovrà consentire la definizione di impulsi di flusso con forme arbitrarie in una griglia temporale di 1 ns.
- Ampiezza minima di flusso-impulso di tensione di 4 ns con tempo di salita/discesa massimo di 1.4 ns (10%-90%).
- Risposta ai gradini con $< 0.5\%$ di *overshoot*. Questo dovrebbe essere mostrato in modo esplicito tramite grafici di output.
- Il rumore per l'offset di flusso dovrebbe avere i seguenti requisiti:
 - misurato a +50 mA su 50 Ω con range ± 50 mA:
 - < 2.5 nA $/\sqrt{\text{Hz}}$ a 10 Hz;
 - < 0.8 nA $/\sqrt{\text{Hz}}$ a 1 kHz;
 - misurato in alta impedenza con range ± 4 V:
 - < 70 nV $/\sqrt{\text{Hz}}$ a 2 Hz;
 - < 30 nV $/\sqrt{\text{Hz}}$ a 100 Hz.
- La densità di rumore di tensione per impulsi di flusso a 1 Hz su un carico di 50 Ω deve essere < 1.5 $\mu\text{V}/\text{Hz}^{1/2}$.
- Stabilità delle tensioni di offset del generatore di impulsi flusso-tensione deve essere < 1.5 ppm/K, riferito al fondo scala.
- Deve essere disponibile un sistema di monitoraggio delle correnti di offset generate attraverso un'uscita di monitoraggio della tensione dedicata.
- La sorgente di tensione di uscita di deriva per l'offset di flusso deve avere i seguenti requisiti:
 - misurato in alta impedenza, con range ± 4 V: < 0.7 ppm/ $^{\circ}\text{C}$ del range + 1.5 ppm/ $^{\circ}\text{C}$ di uscita;
 - misurato a +50 mA su 50 Ω con intervallo ± 50 mA: < 2.5 ppm/ $^{\circ}\text{C}$ di fondo scala.
- Per l'offset di flusso sono necessari sistemi per evitare *ground loop* e per prevenire interferenza (ad esempio, nessun collegamento fisico tra la rete di terra e i canali di uscita, sistemi di isolamento, ecc ...). Ad esempio, l'alimentatore può includere filtri *gyrator* per evitare problemi di *ground loop*.
- Dato che le sorgenti con offset di flusso non richiedono una rapida sincronizzazione con il PC host, la connessione USB è una possibile alternativa alla connessione Ethernet/LAN.
- Le batterie di backup devono essere fornite insieme alle sorgenti CC con offset di flusso.

Si richiedono inoltre le seguenti specifiche:

- Uscite in tensione più elevate per la sintonizzazione del flusso, al fine di omettere l'accoppiamento tramite *bias-tee* tra le sorgenti in continua e le uscite AWG.
- Specifiche dei moduli di impulsi di flusso AWG compatibili con i tipici generatori di impulsi di controllo, al fine di fornire controllo diretto nel caso in cui il numero di qubit aumenti.

- Isolamento dedicato (galvanico o simile) applicato all'alimentazione di rete delle uscite offset di flusso e/o flusso impulsato per evitare *loop* di massa e interferenze.
- Sorgenti CC alimentate direttamente da batterie, che vengono caricate automaticamente tramite un collegamento costante alla rete. Deve essere garantito che le batterie si ricarichino nella stessa unità, senza necessariamente disconnetterle dal sistema, per evitare interruzione dell'esperimento.
- Soluzioni per la generazione di impulsi di flusso in cui le operazioni in tempo reale sono programmate in modo completamente deterministico con la possibilità di riproduzione *back-to-back* di impulsi senza ritardi intermedi.

Specifiche di acquisizione/elaborazione dei dati

- Strumenti di Trigger interno/esterno:
 - Il sistema dovrà incorporare un clock di riferimento da 10 MHz in cui tutti gli oscillatori locali, gli FPGA e gli altri clock del sistema sono *phase-locked*.
 - Possibilità di inserire sorgenti di clock esterne come master clock a 10 MHz o di emettere il clock interno tramite SMA, USB o connettori di ingresso-uscita equivalenti per la sincronizzazione di dispositivi esterni.
 - Le uscite digitali, così come le uscite analogiche per l'attivazione di dispositivi esterni, dovranno accompagnare le linee di controllo. La temporizzazione degli impulsi generati deve essere sincronizzata in modo standard con altre apparecchiature di laboratorio di altri produttori. L'ingresso trigger deve essere incorporato per ricevere segnali marker/trigger da dispositivi esterni.
- La parametrizzazione supportata da FPGA degli impulsi generati dovrà funzionare in modo completamente deterministico, con la generazione di impulsi in tempo reale e l'aggiornamento dei parametri per gli impulsi di controllo, lettura e pompa, come descritto sopra. Gli FPGA dovranno incorporare memoria sufficiente per memorizzare onde e istruzioni locali per esperimenti tipici per il controllo e la lettura dei qubit.

Programmazione per interfaccia con gli strumenti:

- Tutti i livelli di driver/API e interfaccia devono supportare il linguaggio di programmazione Python.
- Insieme all'accesso di basso livello, dovrà essere possibile la programmazione di alto livello per la programmazione intuitiva delle definizioni a livello di impulso e a livello di gate di impulsi e operazioni sui qubit, inclusa la scrittura di codici di diagnostica hardware dei circuiti quantistici.
- Routine di calibrazione automatizzata per tipici esperimenti di calcolo quantistico, ad esempio strumenti di autocalibrazione interna per la soppressione delle perdite degli oscillatori locali e le correzioni del mixer IQ.
- Sono richiesti strumenti software per una codifica comoda, un debug facile, modalità oscilloscopio e strumenti di visualizzazione.

Si richiedono inoltre le seguenti specifiche:

- Driver e parametri dovranno essere controllati utilizzando driver *open source* compatibili con i pacchetti e i *driver QCoDes*.
- Capacità di programmare FPGA utilizzando VHDL (VHSIC - *Very High Speed Integrated Circuit - Hardware Description Language*) o metodi alternativi per l'accesso a basso livello a FPGA senza VHDL.

- Possibilità di creare *wrapper* attorno all'API Python (*Application Programming Interface*), o attorno all'interfaccia di programmazione di basso livello.
- Livelli software *open source*, sia per la programmazione di alto che di basso livello.

Programmazione per acquisizione dati, procedure diagnostiche, calibrazione e analisi:

- Programma di formazione gratuito di una settimana: dovrà essere fornito un programma di formazione di una settimana per istruire gli utenti e i membri del laboratorio per una rapida configurazione e l'avvio delle misurazioni nella prima settimana di consegna. Tutorial, *notebook* sperimentali tipici e *script* di codice di esempio dovranno essere forniti come riferimento.
- È richiesto un set di protocolli e strumenti diagnostici per determinare i parametri rilevanti per l'elaborazione dell'informazione quantistica, come: protocolli di misura per la fedeltà di gate a uno e due qubit (*randomized benchmarking* basato su gate di Clifford e/o tomografia quantistica, ecc...), *crosstalk* (*Rabi cross driving*, *crosstalk* di lettura multiplexata, ZZ residuo, ecc.), protocolli di fedeltà *single-shot* di lettura.
- E' richiesto un set di protocolli di ottimizzazione dei parametri di controllo e lettura (*All-XY*, *Rabi*, *Ramsey*, calibrazione *Motzoi*, *Rabi flipping*, ecc.) per l'*entanglement* a qubit singolo e a 2 qubit (calibrazione delle latenze, correzioni delle distorsioni dell'impulso, tunabilità di impulsi *Net-zero*).
- Una serie di strumenti diagnostici per la qualità dei chip quantistici, come la coerenza dei qubit (rilassamento, interferometria di Ramsey e Spin-Echo, sequenze Carr -Purcell – Milbourne - Gill), le frequenze dei qubit e la spettroscopia dei livelli di energia con spettroscopia eterodina a due o tre toni, lettura frequenze e qualità del risonatore con spettroscopia eterodina, forza di accoppiamento tra elementi, ad esempio accoppiamento risonatore-qubit e accoppiamento qubit-qubit, mediante esperimenti di spettroscopia.
- Esclusa la programmazione a basso livello, i *layer* API, e il set strumenti di diagnostica preventivamente citati, il sistema deve essere dotato di un pacchetto di software ad alto livello che permetta di sfruttare tutte le funzionalità dell'hardware. Deve essere possibile scrivere qualsiasi programma in maniera arbitraria, per creare sequenze di impulsi arbitrari e schemi di lettura entro i limiti dell'hardware. Questo software di alto livello deve essere *open-source* per creare algoritmi proprietari in aggiunta alle funzionalità preventivamente indicate.
- Il software di alto livello deve supportare i driver di QCoDeS per integrarlo con altri sistemi sperimentali hardware e framework software esistenti.

Si richiedono inoltre le seguenti specifiche:

- Strumento di analisi dei dati e script di fit per la caratterizzazione di uno e due qubit.
- Il software e/o gli script di programmazione devono essere *open-source* e personalizzabili dall'utente se necessario.

Deve essere garantito:

- Ethernet/LAN, e/o connessione dati equivalente, tra gli strumenti e un PC host, con velocità dati di almeno 1 GBit/s.
- Un sistema modulare in cui è possibile aggiungere canali di ingresso e uscita su richiesta. È preferibile disporre di un sistema in cui vengono mantenuti lo stesso *backplane hardware*,

sincronizzazione, feedback, livelli software e altre funzionalità nel caso in cui le dimensioni del sistema aumentino.

- Sincronizzazione di tutti i canali per segnali di lettura/controllo/sintonizzabilità con temporizzazione inferiore a 1 ns, con un *jitter* di pochi ps, senza necessità di ulteriori apparecchiature hardware.
- I risultati della misurazione devono essere distribuiti tra i moduli con *feedback* a bassa latenza per l'implementazione di gate singoli e multi-qubit veloci e affidabili, schemi di correzione degli errori quantistici e per la distribuzione di canali di almeno 20 qubit con connessione *all-to-all* nella stessa finestra temporale. È richiesto il controllo indipendente di ciascun sequenziatore e canale. Le operazioni di feedback devono essere effettuate tra tutti i canali di controllo e lettura internamente, senza bisogno di unità centrale esterna, ripetitore o modulo di sincronizzazione.
- Il sistema deve essere compatibile con uno *stack software* basato su Python ben documentato e mantenuto professionalmente per controllare gli esperimenti sulla QPU, insieme a una piattaforma di acquisizione dati di alto livello compatibile con Windows/Linux. Sono richiesti software per il controllo dell'hardware che consentano la programmazione di tutte le funzionalità e canali di ingresso e uscita come descritto nelle sezioni seguenti. L'utente avrà piena accessibilità ai codici sorgente e avrà i permessi per modificare e sviluppare i codici in futuro.

E' richiesta la possibilità di sincronizzare tutti i canali negli strumenti/moduli all'interno dell'hardware (tramite backplane, collegamenti interni), senza bisogno di ulteriore cablaggio tra unità hardware separate. Il sistema dovrà essere in grado di scalare fino a oltre 100 qubit con lo stesso *framework* di sincronizzazione.

Tensione di sistema: alimentazione di 215-230 V/50Hz. Potenza massima assorbita a pieno carico di circa 5 kW.

Rack: Il sistema deve essere dotato di un rack per strumenti, dove verranno posizionati tutti i prodotti inseguiti.

Servizio hardware: gratuito per i primi tre (3) anni dalla consegna.

Supporto tecnico firmware/software: gratuito a vita.

- L'operatore economico dovrà descrivere i canali di supporto tecnico nel periodo di garanzia. I canali di supporto tecnico dovranno fornire risposte non oltre 48 ore dopo l'invio delle domande via e-mail/telefono/altro, durante il periodo di garanzia.
- Descrivere la manutenzione del prodotto o la sostituzione del prodotto durante il periodo di garanzia.

Tempo di consegna: sei (6) mesi dalla conferma dell'ordine.